

文档编号: AN1067

上海东软载波微电子有限公司

应用笔记

ES7W8020 Hardware Reference Design

修订历史

版本	修订日期	修改概要
V1.0	2023-05-04	初版
V1.1	2023-09-22	应用参考设计和 BOM 更新

地 址：中国上海市徐汇区古美路 1515 号凤凰园 12 号楼 3 楼

E-mail: support@essemi.com

电 话：+86-21-60910333

传 真：+86-21-60914991

网 址：http://www.essemi.com

版权所有©

上海东软载波微电子有限公司

本资料内容为上海东软载波微电子有限公司在现有数据资料基础上慎重且力求准确无误编制而成，本资料中所记载的实例以正确的使用方法和标准操作为前提，使用方在应用该等实例时请充分考虑外部诸条件，上海东软载波微电子有限公司不承担或确认该等实例在使用方的适用性、适当性或完整性，上海东软载波微电子有限公司亦不对使用方因使用本资料所有内容而可能或已经带来的风险或后果承担任何法律责任。基于使本资料的内容更加完善等原因，上海东软载波微电子有限公司保留未经预告的修改权。使用方如需获得最新的产品信息，请随时用上述联系方式与上海东软载波微电子有限公司联系。

目 录

内容目录

第 1 章	应用参考 SCH 设计	4
第 2 章	应用参考 PCB 设计	6
第 3 章	制版工艺	7

图目录

图 1-1	应用参考设计 SCH 图	4
图 2-1	应用参考设计 PCB 图	6

表目录

表 1-2	应用参考设计 BOM	5
表 3-1	双面 PCB 推荐制版工艺参数	7

第 1 章 应用参考SCH设计

ES7W8020 是一款高集成度的 2.4GHz 无线 SoC 芯片，片上集成高性能、低功耗的 RF 收发器和 8 位 FLASH 的 MCU。下面给出应用参考设计的 SCH 图，如图 1-1 所示。

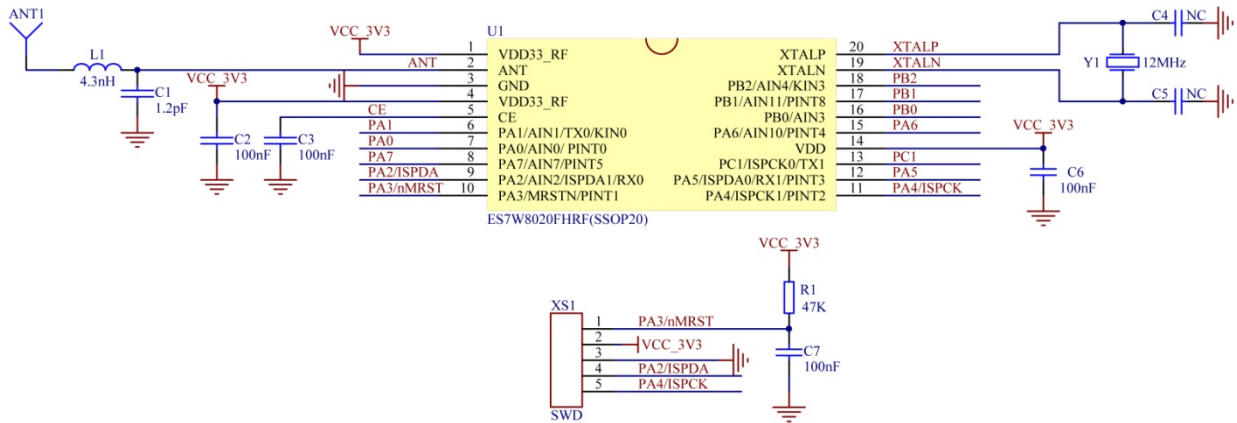


图 1-1 应用参考设计 SCH 图

ES7W8020 应用参考设计的电路系统主要由晶体振荡电路、射频匹配网络、电源去耦网络和数字 IO 四部分构成，外围只需要少量被动元器件就能组成完整的无线收发系统。

晶体振荡电路支持 12MHz 和 16MHz 无源晶振。根据应用需求的不同，晶振选取原则如下：晶振的频率公差（Frequency Tolerance）越小，收发两端之间的频率差越小，则通信性能显著提高。因此，对于通信距离有较高要求的应用，应尽量选择频率公差小的无源晶振，推荐使用 $\pm 10\text{ppm}$ 的无源晶振。晶振两边的负载电容 C4 和 C5 一般无需焊接，只有在一些对频点要求比较苛刻的应用，才需要通过外接电容进行微调。需要注意的是，电容值太大可能会导致晶振不起振，且由于不同厂家的晶振参数有差异，需要通过实际测试来确定具体取值。

射频前端匹配网络主要完成射频信号谐波抑制、阻抗匹配等功能。

因为 ANT 脚（PIN2）有直流电压输出，不能接地，若要和有接地的天线（如倒 F 型 PCB 天线等）连接，则需在电感 L1 和天线 ANT1 之间串联一个隔直电容（推荐值 100pF）。射频前端匹配网络的元器件对于芯片通信性能有较大影响，电感应优先选用高频叠层或绕线电感，电容也需选用高稳定性的 C0G 电容。

ES7W8020 有两组电源，分别是 VDD33_RF（PIN1 和 PIN4）、VDD33（PIN14），前者属于 RF 部分电源，后者属于 MCU 部分电源，二者在芯片内部是不相连的，所以需要在外部连接。电源增加旁路电容可以滤除电源上的干扰信号，若是应用系统干扰较大，应该增加滤波电容。C2 和 C6 电容，分别是用于芯片内部 RF 电源和 MCU 电源的滤波，对于芯片的可靠性发挥了重要作用。C3 电容，用于 CE 管脚滤波，对于不同应用场景，可适当调整该电容容值。

下面给出 ES7W8020 应用参考设计的 BOM 表：

Part	Designator	Footprint	Description
NC	C4、C5 ^注	0402	C0G 电容， $\pm 0.25\text{pF}$
4.3nH	L1 ^注	0402	高频电感， $\pm 0.3\text{nH}$
1.2pF	C4	0402	C0G 电容， $\pm 0.25\text{pF}$
100nF	C2、C3、C6、C7	0402	X7R 电容， $\pm 10\%$

47K	R1	0402	电阻, ±10%电阻
12MHz	Y1	3225	贴片无源晶振, ±10ppm
ES7W8020	U1	SSOP20	2.4G SoC 芯片
—	ANT1	—	2.4G 导线天线接口
SWD	XS1	SIP5	2.54mm 单排针插座

表 1-1 应用参考设计 BOM

注:

- (1) 晶振负载电容 C4、C5 一般无需连接, 仅预留位置。
- (2) 若要和有接地的天线连接, 则必须在电感 L1 和天线之间串联一个隔直电容(推荐值 100pF)。

第 2 章 应用参考PCB设计

根据图 1-1 的应用参考设计 SCH 图，可以绘制出对应的 PCB 图，下面给出应用参考设计的 PCB 图。

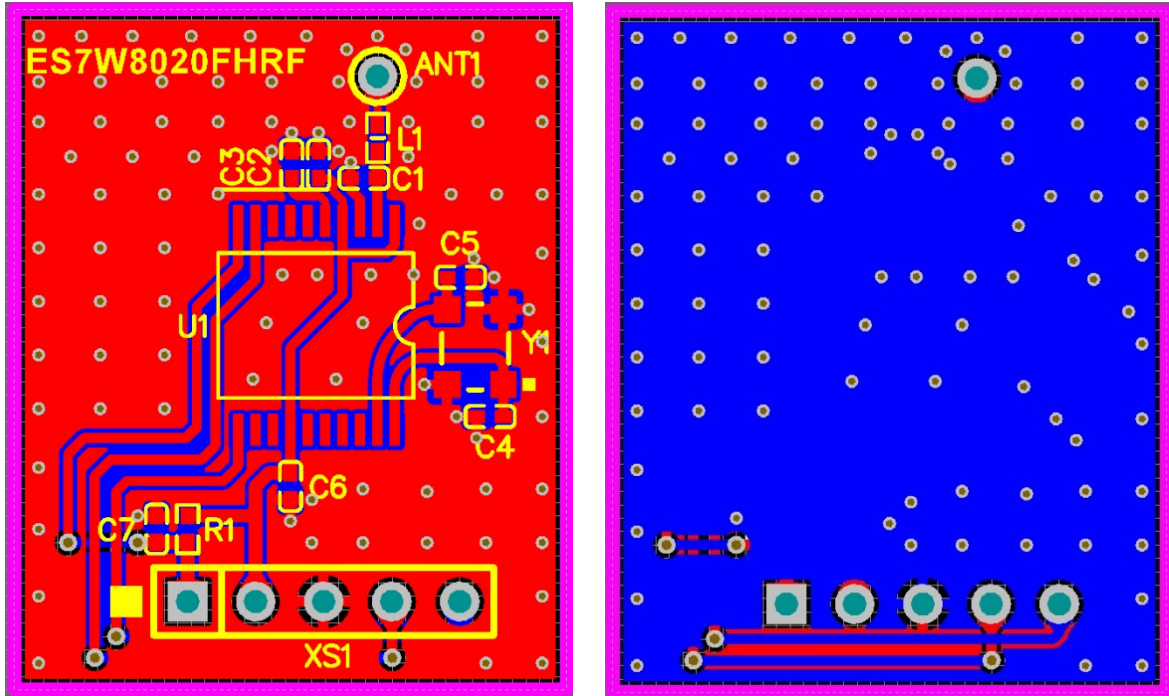


图 2-1 应用参考设计 PCB 图

由上图可知，应用参考设计采用的是无接地导线天线，故也可以使用电感方案。PCB 设计注意事项如下：

- 1) 天线和芯片之间的射频匹配元件的布局应尽量紧凑，保证射频走线满足最短路径原则。
- 2) 射频走线应尽可能短。推荐的走线方式是先连接水平放置的 C1，再连接垂直放置的 L1。C1 右边焊盘可直接置于走线上，C1 左边接地焊盘应尽可能靠近芯片 GND 管脚 (PIN3)。此外，射频走线应满足 50 欧姆阻抗要求。
- 3) 要保证天线和芯片之间的射频电路区域有完整的地平面，在此区域内禁止非射频走线（如电源和数字走线），避免对射频电路区域地平面的分割，且地平面的面积应该尽可能大。另外，射频走线应该“包地”，并且铺地区域要均匀放置适当数量的接地过孔，降低地平面的阻抗。
- 4) 数字和晶振电路需远离射频前端电路。
- 5) 电源滤波电容 C2、C6 需尽量靠近电源管脚，C3 滤波电容要尽可能靠近 CE 管脚 (PIN5)。

第 3 章 制版工艺

由于高频电路存在，在制版过程中需要考虑 PCB 工厂的阻抗控制参数，下面给出双面 PCB 板的推荐制版工艺参数。

制版规格	参数
板材	FR4
板厚 ^注	1.2mm
电源走线	25mil 或 30mil
50 欧姆射频走线宽度 ^注	20mil
铜厚	1.4mil (1 盎司)
接地铺铜与射频走线的间距 ^注	5.1mil

表 3-1 双面 PCB 推荐制版工艺参数

注：为保证射频走线为 50 欧姆，可以根据不同板厚，按照如下参数进行调整。以下结果为 Si9000 的仿真值，仅供参考。仿真条件：双面 PCB 板、板材 FR4 介电常数为 4.3、绿油介电常数为 4.2。这些参数对仿真结果影响较大，具体参数请与 PCB 厂家确认后自行仿真。若需要更加准确的结果，则需要 PCB 厂家进行阻抗测试。需要说明的是，由于一些 PCB 工厂工艺的限制，其安全线间距只能做到 6mil 以上，所以，这种情况下，可以把线间距定为 6mil 或 7mil，线宽在 20mil 以上。下面给出不同板厚的推荐参数。

(1) 若射频走线采用 20mil 线宽：

板厚为 1.0mm 时，接地铺铜与走线间距为 5.3mil

板厚为 1.2mm 时，接地铺铜与走线间距为 5.1mil

板厚为 1.6mm 时，接地铺铜与走线间距为 5mil

(3) 若射频走线采用 25mil 线宽：

板厚为 1.0mm 时，接地铺铜与走线间距为 6.3mil

板厚为 1.2mm 时，接地铺铜与走线间距为 6mil

板厚为 1.6mm 时，接地铺铜与走线间距为 5.7mil

(3) 若射频走线采用 30mil 线宽：

板厚为 1.0mm 时，接地铺铜与走线间距为 7.6mil

板厚为 1.2mm 时，接地铺铜与走线间距为 7.1mil

板厚为 1.6mm 时，接地铺铜与走线间距为 6.6mil